

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-119023

(P2001-119023A)

(43) 公開日 平成13年4月27日 (2001. 4. 27)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テマコード (参考)

6 5 2 K

6 5 2 T

6 5 3 A

6 5 5 A

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号 特願平11-298638

(22) 出願日 平成11年10月20日 (1999. 10. 20)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 久保 博稔

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

(72) 発明者 重田 典博

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

(72) 発明者 桑子 栄一郎

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

(74) 代理人 100111383

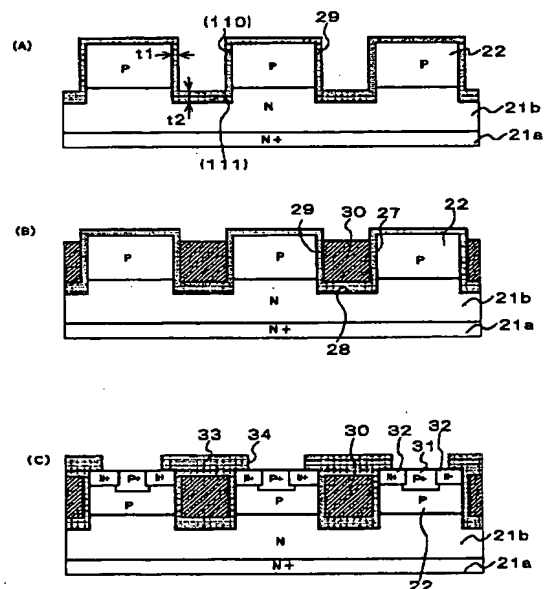
弁理士 芝野 正雅

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 トレンチ表面に露出する結晶面を選択することにより、チャネル領域部分の酸化膜の膜厚 t_1 よりもドレイン部分の酸化膜の膜厚 t_2 を厚くした半導体装置及びその製造方法を得る。

【解決手段】 面方位 (111) の半導体ウェハを準備する。その表面にトレンチ 26 を形成する。該トレンチ 26 で区画した半導体層 (チャネル領域 22) は六角形の単位セルパターンを構成する。該単位セルを多数並列接続して MOSFET 素子を構成する。側面の半導体層表面 27 は (110) 面が露出し、底面の半導体層表面 28 には (111) 面が露出する。両シリコン表面 27、28 を高温熱処理することによってゲート酸化膜 29 を形成する。結晶面によって成長レートが異なるので、膜厚 t_1 よりも膜厚 t_2 を厚く形成できる。



22 チャネル領域 29 ゲート酸化膜
26 トレンチ 30 ゲート電極
27 側面の半導体層表面
28 底面の半導体層表面

1

【特許請求の範囲】

【請求項 1】 半導体層に、側面と底面とを有するトレンチを形成し、前記側面の半導体層表面と前記底面の半導体層表面に絶縁膜を形成した半導体装置であって、前記側面の半導体層表面の絶縁膜の成長レートに対して、前記底面の半導体層の絶縁膜の成長レートが大であるように、両者の結晶面が選択されていることを特徴とする半導体装置。

【請求項 2】 前記絶縁膜がシリコン酸化膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記側面の結晶面が (110) もしくはその近傍であり、前記底面の結晶面が (111) もしくはその近傍であることを特徴とする請求項 1 または請求項 2 記載の半導体装置。

【請求項 4】 前記トレンチ内部にゲート電極を具備する事を特徴とする請求項 1、2、3 のいずれかに記載の半導体装置。

【請求項 5】 前記ゲート電極と前記側面の絶縁膜及び前記側面の半導体層とで絶縁ゲート型半導体素子を形成したことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 半導体層に、側面と底面とを有するトレンチを形成する工程と、前記側面の半導体層表面と前記底面の半導体層表面に絶縁膜を形成する工程とを具備する半導体装置の製造方法において、前記トレンチ側面の半導体層の絶縁膜の成長レートに対して、前記トレンチ底面の半導体層の絶縁膜の成長レートが大であるように、両者の結晶面が選択されていることを特徴とする半導体装置の製造方法。

【請求項 7】 前記絶縁膜がシリコン酸化膜であることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 前記側面の結晶面が (110) もしくはその近傍であり、前記底面の結晶面が (111) もしくはその近傍であることを特徴とする請求項 6 または請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記絶縁膜を形成する工程が、900℃以上の熱酸化であることを特徴とする請求項 6、7、8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】 一導電型の半導体層の表面に、逆導電型のチャネル領域を形成する工程と、前記半導体層表面に、側面と底面とを有するトレンチを形成する工程と、前記側面の半導体層表面と前記底面の半導体層表面にゲート絶縁膜を形成する工程と前記トレンチ内部にゲート電極を形成する工程と、前記チャネル領域表面に逆導電型のソース領域を形成する工程と、を具備する半導体装置の製造方法において、前記側面の半導体層の絶縁膜の成長レートに対して、前記底面の半導体層の絶縁膜の成長レートが大であるように、両者の結晶面が選択されていることを特徴とする半

2

導体装置の製造方法。

【請求項 11】 前記絶縁膜がシリコン酸化膜であることを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 12】 前記側面の結晶面が (110) もしくはその近傍であり、前記底面の結晶面が (111) もしくはその近傍であることを特徴とする請求項 10 または請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記絶縁膜を形成する工程が、900℃以上の熱酸化であることを特徴とする請求項 10、11、12 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は縦型 MOSFET 装置などの半導体装置に関し、特にトレンチ溝構造を有する半導体装置に関する。

【0002】

【従来の技術】最近の縦型 MOSFET においては、構造的に低オン抵抗特性が得やすいことから、トレンチ溝内にゲート電極を埋め込んだ構造のいわゆるトレンチ型が注目されている。このようなトレンチ型構造を有する縦型 MOSFET は、例えば特開平 4-146674 号公報、特開平 5-335582 号公報などにその構造及び製造工程の概略が開示されている。

【0003】このような縦型 MOSFET の製造方法の一例を、図 8 乃至図 9 を用いて説明する。

【0004】第 1 工程：図 8 (A) 参照

N+型半導体層 11a と N 型半導体層 11b とを有する半導体基板 11 の表面に、P 型の不純物を拡散してチャネル領域 12 を形成する。半導体層 11a、11b は共通のドレイン層となる。

【0005】第 2 工程：図 8 (B) 参照

基板 11 表面から異方性ドライエッチングによってトレンチ 13 を形成する。トレンチ 13 はチャネル領域 12 を貫通して N 型半導体層 11b に達する。半導体基板 11 全体を熱処理して、トレンチ 13 の側面と底面の半導体層表面に膜厚が 800 Å 程度のゲート酸化膜 14 を形成する。

【0006】第 3 工程：図 8 (C) 参照

全面にポリシリコン層を形成し、これをエッチバックすることにより、トレンチ 13 の内部を埋設するゲート電極 15 を形成する。

【0007】第 4 工程：図 9 (A) 参照

チャネル領域 12 表面に N+ソース領域 16 と P+コンタクト領域 17 を形成し、更にゲート電極 15 の上に絶縁膜 18 を形成する。

【0008】第 5 工程：図 9 (B) 参照

そして、ソース領域 16 とコンタクト領域 17 の両方にコンタクトするソース電極 19 を形成する。

【0009】係る構造の縦型 MOSFET においては、

3

ゲート電極 15 に所定のしきい値以上の電圧を与えることにより、P 型のチャネル領域 12 内のトレンチ 13 に沿って N 型の反転層（チャネル）を形成し、N 型半導体層 11b と N+ 型のソース領域 16 との間に電流路を形成する。これにより縦型 MOSFET のソース・ドレイン間がオン状態となる。逆にゲート電極 15 の電圧をしきい値以下とすることで、チャネル領域 12 の N 型の反転層がなくなり、縦型 MOSFET のソース・ドレイン間がオフ状態となる。係る縦型 MOSFET によれば、プレーナ型の縦型 MOSFET に特有の接合型 FET 効果がないことから、そのオン抵抗を小さくできるという利点が生じる。

【0010】以上の製造方法において、第 2 工程で形成されるゲート酸化膜 14 は、MOSFET 素子のしきい値を決定する重要な要素である。このしきい値は、主としてチャネル領域 12 とゲート電極 15 とで挟まれた部分のゲート酸化膜 15 の膜厚 t_1 （図 8（B）参照）で決定され、その膜厚が薄いほど、素子の電流駆動能力を向上できる。一方、トレンチ 13 の底面におけるゲート酸化膜 14 の膜厚 t_2 は、この素子のゲート・ドレイン間耐圧 V_{dg} を決定する。この膜厚 t_2 が厚い程、ゲート・ドレイン間耐圧 V_{dg} を増大できる。また、膜厚 t_2 は素子のゲート・ドレイン間容量 C_{dg} を決定する要素でもある。

【0011】ところで、半導体業界では面方位（100）の半導体基板 11 が多用されている。面方位は、面が座標軸と交わった座標値の逆数で定義するので、面方位（100）とは、x 軸＝（100）軸と「1」で交わり y、z 軸とは無限大で交わる、即ち交わらない結晶面を意味する。

【0012】図 10 は、この様な（100）基板にトレンチ型 MOSFET 素子を形成した場合の状態を示す斜視図である。トレンチ 13 が矩形のチャネル領域 12 の周囲を格子状に連続して取り囲んでいる。チャネル領域 12 が正方形のような矩形で且つその形状が結晶面の方位に一致した場合、トレンチ 13 の側面と底面に露出する半導体層の結晶面は、共に（100）若しくはその近傍の結晶面（等価面）となる。この様に等価面であれば、熱酸化によるシリコン酸化膜の成長レートが同じであるので、ゲート酸化膜 14（図 8（B）参照）の膜厚 t_1 と t_2 は、同じ膜厚となる。

【0013】

【発明が解決しようとする課題】しかしながら、素子の低しきい値化と大電流化を求めるには膜厚 t_1 を薄くしたい要求があるのに対し、素子のゲート・ドレイン間耐圧 V_{dg} を大きく且つゲート・ドレイン間容量 C_{dg} を小さくするためには、膜厚 t_2 を厚くしたいという相反する要求がある。これらは相反する要求ではあるが、例えばゲート酸化膜 14 のピンホールなどに起因する耐圧不良の方が致命的な不良であるため、結局は膜厚 t_2 を

4

優先した設計によって、素子の高性能化を阻害すると言う欠点があった。

【0014】

【課題を解決するための手段】本発明は上述した従来の欠点に鑑みなされたもので、半導体層に、側面と底面とを有するトレンチを形成し、前記側面の半導体層表面と前記底面の半導体層表面に絶縁膜を形成した半導体装置であって、前記側面の半導体層表面の絶縁膜の成長レートに対して、前記底面の半導体層の絶縁膜の成長レートが大であるように、両者の結晶面が選択されていることを特徴とするものである。

【0015】

【発明の実施の形態】以下、本発明の一実施の形態を、図面を参照して説明する。

【0016】第 1 の実施の形態

第 1 工程：図 1（A）参照

先ず、N+ 型層 21a と N 型層 21b を具備するシリコン半導体基板 21 を準備する。基板 21 の一主面側に N 型層 21b が、裏面側に N+ 型層 21a が位置する。N 型層 21b は例えばエピタキシャル成長法によって形成したものである。基板 21 は面方位が（111）若しくはその近傍の結晶面が選択されており、N 型層 21a の表面の結晶面も（111）となる。

【0017】第 2 工程：図 1（B）参照

MOSFET 素子を形成すべき領域に、N 型半導体基板 21 の表面からボロンなどの P 型の不純物を選択的に熱拡散して、P 型のチャネル領域 22 を形成する。23 はシリコン酸化膜である。

【0018】第 3 工程：図 1（C）参照

シリコン酸化膜 23 の上にホトレジスト膜 24 を形成する。ホトレジスト膜 24 を露光、現像して、複数の開口部 25 を形成する。この開口部 25 によってシリコン酸化膜 23 を選択的に除去し、シリコン表面を部分的に露出する。

【0019】第 4 工程：図 1（D）参照

ホトレジスト膜 24 を除去した後、シリコン酸化膜 25 の開口部に従ってシリコン表面を選択的にエッチングし、トレンチ 26 を形成する。エッチングは、例えば AMJ 社のドライエッチング装置 P-5000 を用い、エッチングガスとしては HBr 、 NF_3 、 $\text{He} + \text{O}_2$ を使用する。このエッチングは基板 21 に対して垂直方向にエッチングが進行する様な、異方性のエッチングとする。トレンチ 26 は P 型チャネル領域 22 を貫通し、N 型層 21a に達する。

【0020】この工程において、基板 21 の面方位を

（111）とした場合には、トレンチ 26 側面の半導体層表面 27 は（110）若しくはその近傍の結晶面を露出することができる。また、トレンチ 26 底面の半導体層表面 28 には（111）若しくはその近傍の結晶面が露出する。

10

20

30

40

50

5

【0021】第5工程：図2（A）参照
酸素雰囲気中における1000℃、1時間の熱処理を伴うダミー酸化により、トレンチ26内部のシリコン表面に酸化膜層を形成し、これを除去する。これによりトレンチ26形成に伴うシリコン表面の欠陥層を除去する。その後、ドライ酸化雰囲気中における1100℃、1時間の熱酸化を行うことで、トレンチ26の内部にゲート酸化膜29を形成する。ゲート酸化膜27の膜厚は400～800Åである。尚、チャネル層22の表面にも同様に酸化膜が被着する。

【0022】第6工程：図2（B）参照
次に、多結晶シリコン層をCVD法により全面に被着することで、トレンチ26の内部を多結晶シリコンで埋め込む。そして、多結晶シリコン膜にリン又はボロンをドーピングし、多結晶シリコン膜を導電層化する。次に例えば等方性のガスエッチングにより、多結晶シリコンをエッチバックする。そしてシリコン酸化膜が露出した段階で多結晶シリコンのエッチングを停止することで、トレンチ26内に埋め込まれたゲート電極30を形成する。

【0023】第7工程：図2（C）参照
次に、P+型のコンタクト領域31を形成する。これはコンタクト領域31となる部分にホトリソグラフィの工程によりレジストマスクの開口を形成し、例えばボロンをイオン注入することにより形成する。次に再びホトリソグラフィの工程によりソース層となる部分にレジストマスクの開口を形成し、例えば砒素（As）をイオン注入することでN+型のソース領域32を形成する。このソース領域32は、トレンチ26に埋め込まれたゲート電極30の上端部をマスクとしてイオン注入により形成されるので、ゲート電極に対してセルフアラインで拡散層が形成される。次にNSG/BPSG等の絶縁膜を基板全面に被着し、ホトリソグラフィの工程により基板表面のソース領域32及びコンタクト領域31を露出するようにその絶縁膜をエッチングすることで開口を設け、絶縁層33を形成する。絶縁層33の開口部はコンタクトホール34となる。

【0024】第8工程：図3参照
そして、スパッタリング又は蒸着法によって、アルミ等の金属材料を基板の全面に被着し、ホトエッチング、アロイすることで、MOSFETセル領域部分の全面にソース電極35を形成する。更にチップ全面にパッシベーション膜を被着し、又、半導体基板21の裏面側にドレイン電極（図示せず）を形成することで、ウェハ段階の縦型MOSFETが完成する。尚、チャネル領域22とソース領域32を形成した後にトレンチ26を形成する順番でもかまわない。

【0025】図3（A）は、斯かる製造方法によって得られた半導体装置のセルのパターンを示している。トレンチ26によって区画された各チャネル領域22は各々六角形の形状を具備する。この様にチャネル層22の形

6

状若しくはトレンチ26側面の半導体層表面27によって区画される領域を、「単位セル」と称する。各単位セルは、互いに同じ形状と大きさを持ち、六角形の各辺が互いに平行に隣り合うように、縦横に配置される。各単位セルの六角形は、6つの角の角度 θ が各々120度プラスマイナス10度以内であり、好ましくは θ が120度の正六角形であることが望ましい。この様に正六角形である場合、単位セルの中心と中心とを結ぶ線は、辺の長さが a の正三角形40となる。トレンチ26は一定線幅 b で連続し、各単位セルの周囲を取り囲む。全体として「蜂の巣」または「亀甲」のようなハニカム形状のパターンである。そして、ソース領域32は単位セルの形状に沿った一定線幅の環状の形状を持ち、ソース領域32の中心部分にコンタクト領域31が露出する。ソース電極35は、コンタクト領域31とソース領域32との両方にコンタクトしている。この様に単位セルを多数並列接続することにより、MOSFET素子を構成している。

【0026】図3（B）は、斯かる製造方法によって得られた半導体装置の断面構造を示している。表面にP型チャネル層22を有し、その下部にN+型層21a、N型層21bとを有するシリコン半導体基板21に、多数のトレンチ26がP型チャネル層22を超えてN型層21bに達する深さに形成されている。そのトレンチ26の表面には熱酸化によりゲート酸化膜29が形成され、更にその内部はゲート電極30が埋設されている。トレンチ26内部に埋設されたゲート電極30は、図示せぬ箇所外部からゲート電位を印加可能な電極パッドに接続される。ゲート電極30の上に設けた絶縁層33が、ゲート電極30とソース電極35とを絶縁分離している。このトレンチ型MOSFETは、ゲート電極30に電界を加えることにより、P型のチャネル層22内のトレンチ26に沿ってN型の反転層を形成し、ドレインとなるN型層21a、21bとN+型のソース領域32との間に電流路を形成する。

【0027】以上の製造方法に於いて、ゲート酸化膜29の形成はシリコンの熱酸化によって行われる。熱酸化における酸化膜の成長レートは、結晶面に大きく依存する。

【0028】例えば1000℃、ドライ酸化の条件で熱酸化膜の成長レートを各結晶面で比較すると、以下のようになる。

【0029】 $(111) > (110) > (311) > (511) > (100)$

即ち、 (110) 面に比較して、 (111) 面の成長レートが少し速いのである。この成長レートの差は、800℃以下の低温熱処理では逆転する。

【0030】従って、トレンチ26側面の半導体層表面27の結晶面を (110) で構成し、トレンチ32底面の半導体層表面28の結晶面を (111) 面で構成する

7

こと、更に、ゲート酸化膜の形成条件として900℃以上、好ましくは1000℃以上の高温熱処理を行うことで、ゲート電極30とチャネル領域22とで挟まれた部分の酸化膜厚 t_1 (図2 (A) 参照) よりもゲート電極30とN型層21bとで挟まれた部分の酸化膜厚 t_2

(図2 (A) 参照) を約10%程度厚く形成する事ができる。このことにより、酸化膜厚 t_1 を薄くしてMOSFET素子の電流駆動能力を増大することと、酸化膜厚 t_2 によって決定されるゲート・ドレイン間の耐圧 V_{gd} およびゲート・ドレイン間の容量 C_{gd} を減少することとを、両立させることができる。

【0031】加えて、斯様な高温熱処理を加えることにより、トレンチ26の肩の部分、即ちソース層56に接する部分41 (図1 (D) 参照) の形状を丸みの帯びた形状に加工できる。よって、酸化膜29、22などの被覆性が向上する。尚、シリコン酸化膜 SiO_2 に代えて、シリコン窒化膜 SiN や、酸化膜と窒化膜との積層構造を用いる場合でも、同様に膜厚の差を得ることが出来る。

【0032】図4は、実際の半導体装置で用いる面方位(111)の半導体ウェハ42を示している。このウェハ42は、表面に(111)面が露出しており、該表面に多数の半導体チップを形成するものである。各半導体チップの表面には図3 (A) に示したパターンからなるMOSFET素子が形成される。オリエンテーションフラットOFは結晶方位 $\langle 110 \rangle$ としたが、その他の方位でも良い。尚、面方位(111)とは、 x 軸= $\langle 100 \rangle$ 軸と1で交わり、 y 軸= $\langle 010 \rangle$ 軸と1で交わり、同じく z 軸= $\langle 001 \rangle$ 軸と1で交わる結晶面を意味する。

【0033】そして、六角形の単位セルパターン50の各辺51～56が結晶方位 $\langle 110 \rangle$ に対して直交するような配置で、パターン50を形成する。これにより、トレンチ26で区画される6つの半導体層表面27の結晶面を、全て(110)の結晶面(ミラー面)で構成することが可能になる。尚、6つの表面27の結晶面が互いに均等であることは、ゲート酸化膜29の膜厚 t_1 を均等にしてしきい値 V_t を均等に出来ること、そしてシリコン中における電子の移動度、界面準位等を均等に出来ることを意味する。従って、六角形の単位セルパターン50を利用することにより、6面全てに均等にチャネル電流を流すことが出来る。

【0034】加えて、斯様に六角形のセルを配置したことにより、単位面積あたりのセル密度を大幅に向上できる。これに伴ってゲート幅 GW の総合的な長さも大幅に増大するので、単位面積あたりの電流容量を増大できる。具体的には、従来と同じチップサイズ (例えば1.0mm×1.0mm) に、数万個～数十万個の単位セルを集積化することが可能になった。よって高出力のMOSFET装置、またはオン抵抗 $R_{ds(on)}$ の小さい

8

MOSFET装置を得ることが出来る。

【0035】第2の実施の形態

図5に、本発明の第2の実施の形態を示した。単位セルのパターン50の六角形が正六角形ではなく図面縦方向 y の距離に対して図面横方向の距離 x の距離を長くした六角形である形態を示している。この場合、パターン50の中心と中心とを結ぶ三角形40は2等辺三角形となり、2つの辺の距離 c は等距離である。三角形の距離 a は図3の距離 a に等しい。パターン50の辺は、隣のパターン50の辺と平行であり、その距離 b は一定である。斯かる形状に於いても、その6面全てに(110)面を露出することが出来る。製造方法は、図1乃至図3に示した工程に準じる。

【0036】第3の実施の形態

図6は、本発明をIGBT (Insulate Gate Bipolar Transistor) に適用した例を示している。セルの形状は図3、図5のどちらの例でも適用が可能である。P型基板70の上にN+層71とN型層72を形成し、N型層72表面にP型チャネル層73を形成し、チャネル層73の表面からN型層72に達するトレンチ74を形成し、トレンチ74内部にゲート酸化膜75とゲート電極76を形成し、チャネル層73表面に環状のN+ソース層77を形成し、更にチャネル層73表面にP+コンタクト領域78を形成し、ソース領域とP+コンタクト領域にアルミなどの金属電極79が電気接触している。

【0037】この素子は、ゲート電極76に印加した電圧によってトレンチ74側面のチャネル層73にチャネルを形成し、ソース層77からN型層72へチャネル電流を流すと共に、該チャネル電流をP型チャネル層73、N/N+層71、72、及びP+基板70とで形成するPNPトランジスタのベース電流として供給するように構成したものである。該IGBTは、前記PNPトランジスタで伝導度変調が生じるので、MOSFET素子よりもオン抵抗を減じることが出来る。側面の半導体層表面27と底面の半導体層表面28との結晶面の関係、及び単位セルのパターンは第1または第2の実施の形態に等しい。

【0038】第4の実施の形態

図7は、トレンチ26側面の半導体層表面27が湾曲している場合の、トレンチ型MOSFET装置を示している。トレンチ26と単位セルの形状は図3に等しく、トレンチ26がV字型の形状を持っている。この場合、側面の半導体層表面27には(110)面が露出するものではないが、底面の半導体層表面28に成長レートが最も高い(111)面を露出させることが出来るので、チャネル領域22部分のゲート酸化膜29の膜厚 t_1 に比べて、N型層21b部分のゲート酸化膜29の膜厚 t_2 を厚く形成できる。他の箇所は図3の構成と同一であるので説明を省略する。

【0039】以上に説明したのは本発明のいくつかの実

9

施の形態に過ぎないものであり、本発明の趣旨を逸脱することなく、このほかにも例えば静電誘導サイリスタ（S I T h）、ゲートターンオフサイリスタ（G T O）、及びMOS制御サイリスタ（M C T）等の、ゲート電位によってチャネル電流を制御する半導体素子等、種々の変形した実施の形態が考えられることは勿論のことである。また、図5のパターンと図6の実施の形態との組み合わせ、図5のパターンと図7の実施の形態との組み合わせも容易に適用できるものである。

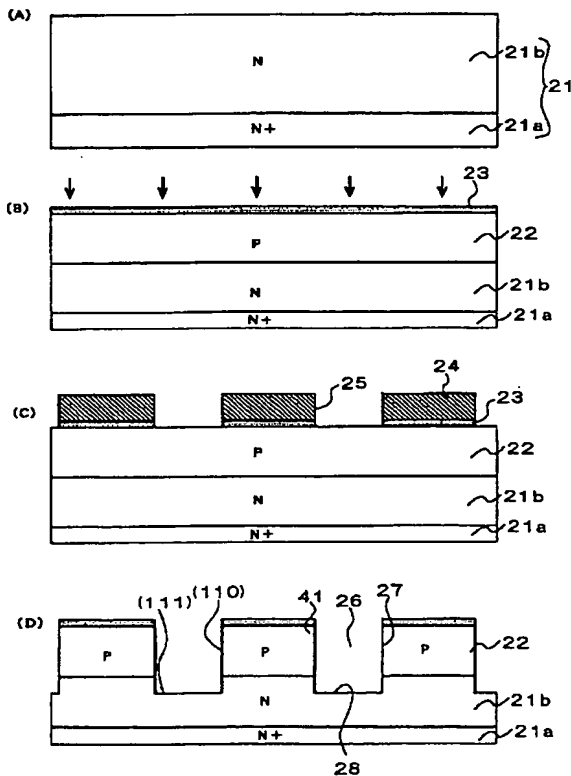
【0040】

【発明の効果】以上に説明したように本発明は、側面の半導体層表面27の結晶面と底面の半導体層表面28の結晶面とを選択することにより、膜厚 t_1 に対して膜厚 t_2 を厚く形成できるので、素子の駆動能力の向上と、耐圧 V_{dg} の増大及び容量 C_{dg} の低減を両立できる利点を有する。

【0041】また、図3に示した六角形のパターンを用いることにより、膜厚の差を形成しながら、単位セルの高密度集積化を実現して、高出力の素子を得ることが出来る利点を有する。更には、（111）基板と（110）結晶面との組み合わせにより、6つの面の膜厚 t_1 を均一に形成できる利点をも有する。

【図面の簡単な説明】

【図1】



10

* 【図1】本発明の製造方法を説明するための断面図である。

【図2】本発明の製造方法を説明するための断面図である。

【図3】本発明の製造方法を説明するための（A）平面図、（B）断面図である。

【図4】本発明を説明するための平面図である。

【図5】本発明の第2の実施の形態を説明するための平面図である。

10 【図6】本発明の第3の実施の形態を説明するための断面図である。

【図7】本発明の第4の実施の形態を説明するための断面図である。

【図8】従来例を説明するための断面図である。

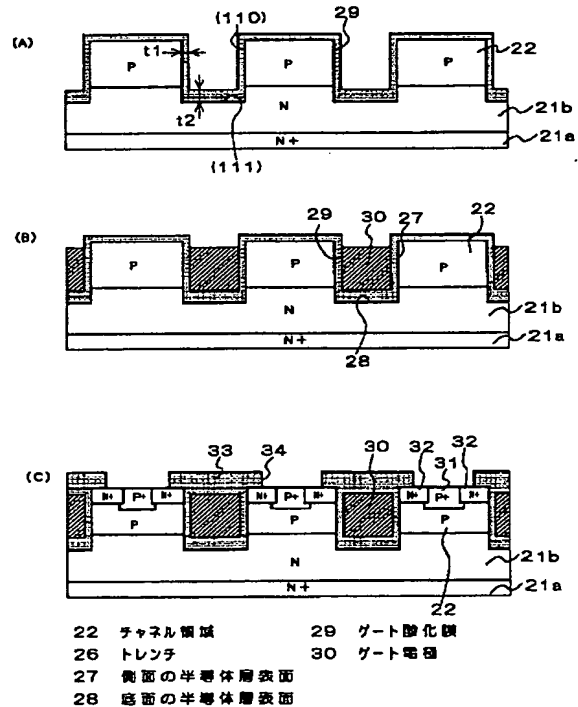
【図9】従来例を説明するための断面図である。

【図10】従来例を説明するための斜視図である。

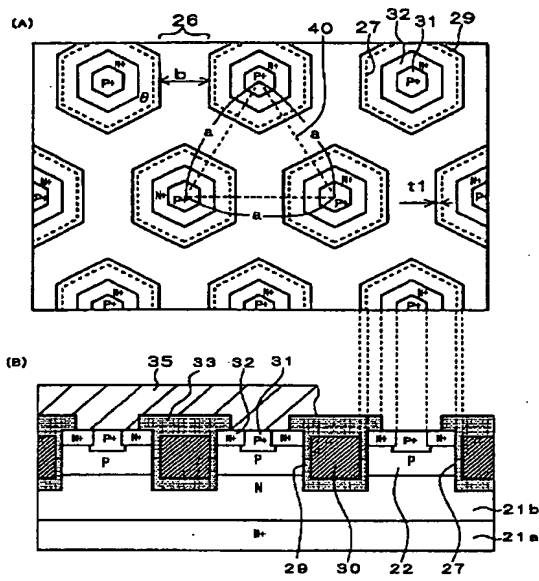
【符号の説明】

- 22 チャネル領域
- 26 トレンチ
- 27 側面の半導体層表面
- 28 底面の半導体層表面
- 29 ゲート酸化膜
- 30 ゲート電極

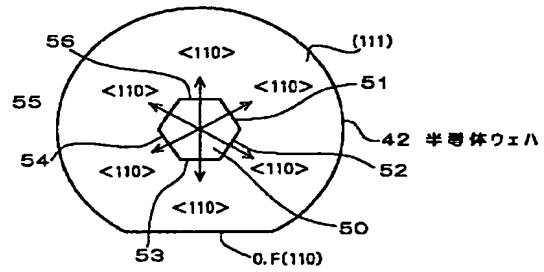
【図2】



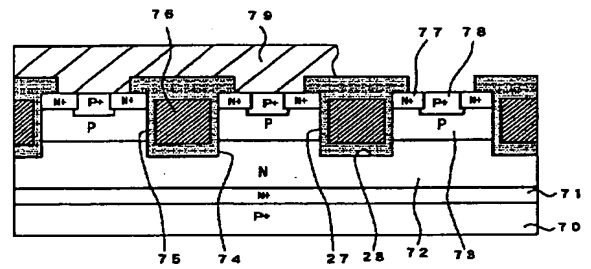
【図3】



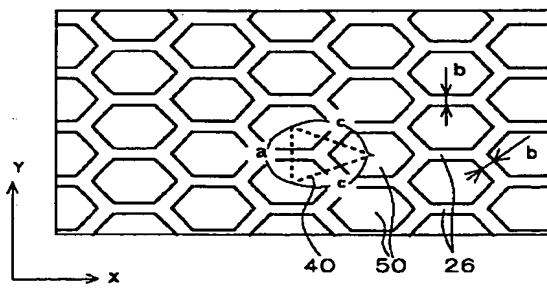
【図4】



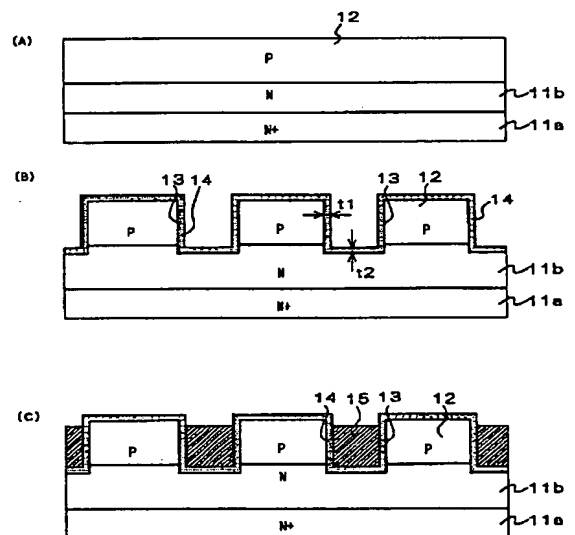
【図6】



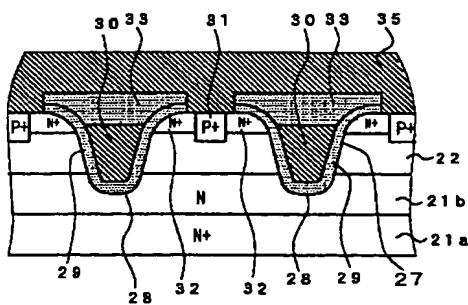
【図5】



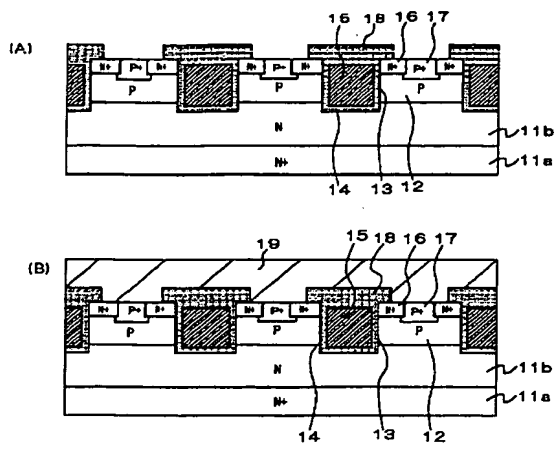
【図8】



【図7】



【図9】



【図10】

